

797

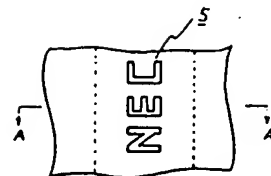
JP 51084824 A
APR 1986

(54) SEMICONDUCTOR IC

(11) 61-84824 (A) (43) 30.4.1986 (19) JP
 (21) Appl. No. 59-207457 (22) 3.10.1984
 (71) NEC CORP (72) KENJI OKA
 (51) Int. Cl. H01L21/02 H01L21/88

PURPOSE: To reduce a chip area and cost thereof by forming accessory pattern such as trademark, name, date of production and the like on an insulating film on metallic wiring.

CONSTITUTION: After a prescribed element is formed performing desirable impurity diffusion on a semiconductor substrate 1, an Si oxide film 2 is formed on the surface thereof, then an Al wiring 3 is formed making a window for using an electrode contact. Thereafter, an Si oxide film 4 is formed for the purpose of protecting surface by CVD method. Secondly, accessory pattern such as character, figure, sign and the like are formed at wide and suitable place of the oxide film 4 on the Al wiring 3 when an aperture is made for use of bonding pad in the CVD Si oxide film 4.



3: accessory pattern

057/798

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-84824

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)4月30日

H 01 L 21/02
// H 01 L 21/88

7168-5F
6708-5F

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭59-207457

⑰ 出 願 昭59(1984)10月3日

⑱ 発 明 者 岡 健 次 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

BEST AVAILABLE COPY

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

配線層およびこれを覆う絶縁膜を有する半導体集積回路において、前記配線層上の前記絶縁膜に文字、数字および記号の少なくとも一つを形成したことを特徴とする半導体集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路の構造の改良に関する。

(従来の技術)

従来、半導体集積回路はトランジスタ、ダイオード、抵抗等様々な素子を含むが、これらの機能素子の他にも種々のパターンを入れている。この例としては、目合せパターン、社標、品名、作成年、各種のチェック用パターン等がある。これ

らのパターン(以下、アクセサリパターンと称す)の占める面積はパターンの縮小化に伴ない無視できない大きさになって来ている。

(発明が解決しようとする問題点)

現在、半導体業界はウェハーの大型化、チップサイズの縮小化でコストダウンを進めているわけであるが、アクセサリパターンとしても例外ではない。ところが、アクセサリパターンを視覚的に判読できる大きさを要求するものが多く、なかなか縮小化できない。このアクセサリパターンを機能素子とは別の領域に設けるとチップ面積の縮小ができずコストアップの原因の一つになる欠点があった。

本発明の目的はアクセサリパターンの挿入方法を改良し、チップ面積を小さくしてチップのコストを低減させることにある。

(問題点を解決するための手段)

本発明は、社標、品名、作成年月等のアクセサリパターンを金属配線層上の絶縁膜に形成することを特徴とする。